

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Shoichi FURUHATA

Serial No.: NEW APPLICATION

Group Art Unit:

Filed: March 10, 2004

Examiner:

For: SEMICONDUCTOR WAFER, SEMICONDUCTOR DEVICE, AND PROCESS FOR
MANUFACTURING THE SEMICONDUCTOR DEVICE

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. § 119 is hereby claimed:

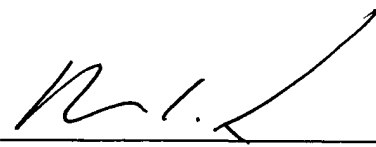
JAPAN 2003-129541 May 7, 2003

In support of this claim, a certified copy of said original foreign application is filed herewith. It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

03/10/04
Date

Attorney Docket: FUJI:300



Marc A. Rossi
Registration No. 31,923

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 7 日
Date of Application:

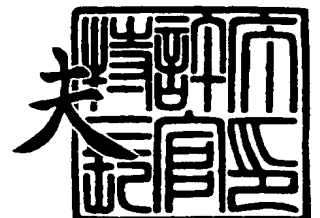
出 願 番 号 特 願 2 0 0 3 - 1 2 9 5 4 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 2 9 5 4 1]

出 願 人 富 士 電 機 デ バ イ ス テ ク ノ ロ ジ ー 株 式 会 社
Applicant(s):

2 0 0 4 年 2 月 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 1 0 6 6 5 3

【書類名】 特許願

【整理番号】 03P00713

【提出日】 平成15年 5月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

 【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内

 【氏名】 古畑 昌一

【特許出願人】

 【識別番号】 000005234

 【氏名又は名称】 富士電機株式会社

【代理人】

 【識別番号】 100104190

 【弁理士】

 【氏名又は名称】 酒井 昭徳

【手数料の表示】

 【予納台帳番号】 041759

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0008358

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体ウェハ、半導体装置および半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 主面から所定の深さまでの間に設けられた第 1 導電型の低濃度不純物層と、

前記低濃度不純物層の下側に設けられた第 1 導電型の高濃度不純物層と、

複数のチップに切断する際のダイシングラインの一部または全部に沿って設けられ、ダイシングラインを中心としてダイシングの切断代よりも幅が広く、かつ主面から前記高濃度不純物層に達する第 1 導電型の高濃度不純物拡散領域と、

を具備することを特徴とする半導体ウェハ。

【請求項 2】 前記高濃度不純物拡散領域は、格子状の平面パターンをなしていることを特徴とする請求項 1 に記載の半導体ウェハ。

【請求項 3】 前記高濃度不純物層の抵抗値は $0.05 \Omega \cdot \text{cm}$ 以下であることを特徴とする請求項 1 または 2 に記載の半導体ウェハ。

【請求項 4】 主面から所定の深さまでの間に設けられた第 1 導電型の低濃度不純物層と、

前記低濃度不純物層の下側に設けられた第 1 導電型の高濃度不純物層と、

半導体素子が形成された素子領域の外側の、半導体ウェハを個々のチップに切断したときのダイシング領域の一部または全部に設けられ、主面から前記高濃度不純物層に達する第 1 導電型の高濃度不純物拡散領域と、

を具備することを特徴とする半導体装置。

【請求項 5】 前記高濃度不純物層の抵抗値は $0.05 \Omega \cdot \text{cm}$ 以下であることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記素子領域に、パワー半導体素子、および前記パワー半導体素子を制御する制御回路が作製されていることを特徴とする請求項 4 または 5 に記載の半導体装置。

【請求項 7】 前記高濃度不純物拡散領域は、主面上に設けられた複数のバンプ電極のうちの 1 以上のバンプ電極に電気的に接続されていることを特徴とする請求項 4 ～ 6 のいずれか一つに記載の半導体装置。

【請求項 8】 主面から所定の深さまでの間に第 1 導電型の低濃度不純物層を有し、かつ前記低濃度不純物層の下側に第 1 導電型の高濃度不純物層を有する半導体ウェハに、第 1 導電型の高濃度不純物拡散領域を、複数のチップに切断する際のダイシングラインの一部または全部に沿って、ダイシングラインを中心としてダイシングの切断代よりも幅が広く、かつ主面から前記高濃度不純物層に達するように形成する工程と、

前記半導体ウェハに素子を形成する工程と、

素子が形成された前記半導体ウェハをダイシングにより個々のチップに切断する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 9】 前記高濃度不純物拡散領域を、マスクで被覆してダイシングラインの一部または全部に沿う領域のみを露出させ、不純物を含む高温ガス中に放置することにより、形成することを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 前記高濃度不純物拡散領域を、不純物を含む材料でダイシングラインの一部または全部に沿う領域を被覆し、高温で放置することにより、形成することを特徴とする請求項 8 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体ウェハ、半導体装置および半導体装置の製造方法に関する。特に、主面上に設けられたバンプ電極に、主面から所定の深さのところに存在する高濃度不純物層を、主面から高濃度不純物層に達する高濃度不純物拡散領域を介して電氣的に接続した構成の半導体装置を製造する際に用いられる半導体ウェハ、並びにその半導体ウェハを用いて作製された半導体装置およびその半導体装置の製造方法に関する。

【0002】

【従来の技術】

主面上に設けられた電極に、主面から所定の深さのところに存在する高濃度不

純物層を電氣的に接続するため、主面から高濃度不純物層に達する深さのトレンチを形成し、このトレンチ内をメタルや低抵抗ポリシリコンや高不純物濃度のシリコンで埋めた構成の半導体素子が公知である（たとえば、特許文献 1 参照。）

。

【0 0 0 3】

また、スクライブライン上に形成したスルーホールを被覆する金属層を介して、ウェハ表裏間の電気接合をとる構成が公知である（たとえば、特許文献 2 参照。）。また、基板にスルーホールを形成し、そのスルーホール内をメッキ金属で埋めることにより、基板の両面に形成された配線パターンを相互に導通させる方法が公知である（たとえば、特許文献 3 参照。）。

【0 0 0 4】

【特許文献 1】

特開 2 0 0 2 - 3 5 3 4 5 2 号公報

【特許文献 2】

特開 2 0 0 2 - 2 6 1 1 9 2 号公報

【特許文献 3】

特開 2 0 0 2 - 1 4 1 4 4 0 号公報

【0 0 0 5】

【発明が解決しようとする課題】

しかしながら、上記特許文献 1 乃至 3 に開示されているように、半導体ウェハ等にトレンチやスルーホールを形成すると、半導体装置の製造プロセスにおいて、半導体ウェハ等を取り扱う際に、ウェハが割れたり、欠けたりしやすいという問題点がある。また、トレンチやスルーホールをメタルやシリコン等で埋めると、トレンチやスルーホール内にボイドが残りやすいという問題点がある。さらには、トレンチやスルーホールを埋める材料がメタルであると、メタルと半導体とは熱膨張率が異なるため、半導体ウェハが反ってしまうという問題点がある。

【0 0 0 6】

本発明は、上記問題点に鑑みてなされたものであって、半導体ウェハにトレンチやスルーホールを形成することなく、ウェハの所定の深さのところに設けられ

た高濃度不純物層を、ウェハの主面上に設けられる電極に電氣的に接続することが可能な構成の半導体ウェハ、その半導体ウェハを用いて作製した半導体装置およびその半導体装置の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】

上記目的を達成するため、本発明にかかる半導体ウェハは、主面から所定の深さまでの間に設けられた第1導電型の低濃度不純物層と、前記低濃度不純物層の下側に設けられた第1導電型の高濃度不純物層と、複数のチップに切断する際のダイシングラインの一部または全部に沿って設けられ、ダイシングラインを中心としてダイシングの切断代よりも幅が広く、かつ主面から前記高濃度不純物層に達する第1導電型の高濃度不純物拡散領域と、を具備することを特徴とする。

【0008】

この発明において、たとえば、前記高濃度不純物拡散領域は、格子状の平面パターンをなしていてもよい。また、前記高濃度不純物層の抵抗値は $0.05\Omega\cdot\text{cm}$ 以下であるとよい。

【0009】

この発明によれば、半導体ウェハにトレンチやスルーホールを形成することなく、半導体ウェハの深いところに設けられた高濃度不純物層に、半導体ウェハの主面上に形成される電極を、高濃度不純物拡散領域を介して電氣的に接続した構成の半導体装置を作製することが可能な半導体ウェハが得られる。

【0010】

また、上記目的を達成するため、本発明にかかる半導体装置は、主面から所定の深さまでの間に設けられた第1導電型の低濃度不純物層と、前記低濃度不純物層の下側に設けられた第1導電型の高濃度不純物層と、半導体素子が形成された素子領域の外側の、半導体ウェハを個々のチップに切断したときのダイシング領域の一部または全部に設けられ、主面から前記高濃度不純物層に達する第1導電型の高濃度不純物拡散領域と、を具備することを特徴とする。

【0011】

この発明において、たとえば、前記高濃度不純物層の抵抗値は $0.05\Omega\cdot\text{cm}$

m以下であるとよい。また、前記素子領域に、パワー半導体素子、および前記パワー半導体素子を制御する制御回路が作製されていてもよい。また、前記高濃度不純物拡散領域は、主面上に設けられた複数のバンプ電極のうちの1以上のバンプ電極に電氣的に接続されていてもよい。

【0 0 1 2】

この発明によれば、半導体チップの外周縁部分のダイシング領域に、半導体基板の深いところに設けられた高濃度不純物層と、半導体基板の主面上に形成される電極とを電氣的に接続するための高濃度不純物拡散領域を有する半導体装置が得られる。

【0 0 1 3】

また、上記目的を達成するため、本発明にかかる半導体装置の製造方法は、主面から所定の深さまでの間に第1導電型の低濃度不純物層を有し、かつ前記低濃度不純物層の下側に第1導電型の高濃度不純物層を有する半導体ウェハに、第1導電型の高濃度不純物拡散領域を、複数のチップに切断する際のダイシングラインの一部または全部に沿って、ダイシングラインを中心としてダイシングの切断代よりも幅が広く、かつ主面から前記高濃度不純物層に達するように形成する工程と、前記半導体ウェハに素子を形成する工程と、素子が形成された前記半導体ウェハをダイシングにより個々のチップに切断する工程と、を含むことを特徴とする。

【0 0 1 4】

この発明において、たとえば、前記高濃度不純物拡散領域を、マスクで被覆してダイシングラインの一部または全部に沿う領域のみを露出させ、不純物を含む高温ガス中に放置することにより、形成するようにしてもよい。あるいは、前記高濃度不純物拡散領域を、不純物を含む材料でダイシングラインの一部または全部に沿う領域を被覆し、高温で放置することにより、形成するようにしてもよい。

【0 0 1 5】

この発明によれば、半導体ウェハにトレンチやスルーホールを形成することなく、半導体基板の深いところに設けられた高濃度不純物層に、半導体基板の主面

上に形成された電極を、半導体チップの外周縁部分のダイシング領域に設けられた高濃度不純物拡散領域を介して電氣的に接続した構成の半導体装置が得られる。

【0016】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。図4～図7は、本発明にかかる半導体ウェハの構成を説明するための図である。図6は、半導体ウェハの全体の概略構成を示す平面図である。図6において、符号2は、半導体ウェハ1を個々のチップに切断する際の切断線を示すダイシングラインである。

【0017】

このダイシングライン2に沿って、高濃度不純物拡散領域である n^{++} 拡散領域3が形成されている。つまり、 n^{++} 拡散領域3は、半導体装置の製造プロセスの実行により半導体装置が形成される各素子領域4を囲むように、たとえば格子状の平面パターンをなすように設けられている。

【0018】

図5は、半導体ウェハ1の一部の構成を模式的に示す平面図であり、図4は、図5のIV-IVにおける断面構成を示す縦断面図である。図4および図5に示すように、半導体ウェハ1は、高濃度不純物層である n^{++} 層11の上に低濃度不純物層である n^{-} 層12が積層されている。 n^{++} 拡散領域3は、 n^{-} 層12の表面に露出し、かつ n^{++} 層11にまで達している。なお、図5では、視認しやすいように、 n^{++} 拡散領域3に斜線を付す。

【0019】

図4および図5において、符号41は、パワーMOSFETやIGBT（絶縁ゲート型バイポーラトランジスタ）などのパワー半導体素子が形成されるパワー半導体素子形成領域である。符号42は、パワー半導体素子を制御する制御回路が形成されるIC形成領域である。

【0020】

ここで、特に限定しないが、一例として、半導体ウェハ1に作製されるパワー

半導体素子の耐圧を 6 0 V 級とした場合の主要部分の寸法や電気的特性値について説明する。たとえば図 7 に示すように、n-層 1 2 の厚さ、すなわちウェハ表面から n⁺⁺層 1 1 までの深さは 1 0 μm である。各チップの平面形状を 3 mm × 3 mm の正形状とすると、後述するように各チップの外周縁に 5 0 μm 幅の n⁺⁺拡散領域 3 を残す必要がある。

【0 0 2 1】

ダイシングの際に刃幅が 2 5 μm のダイサーを用いると、ダイサーの刃によって除去される部分（図 7、A-B-C-D で囲まれる部分）、すなわち切断代 1 3 の幅は約 2 5 μm である。したがって、n⁺⁺拡散領域 3 の幅は 1 2 5 μm (= 2 5 μm + 5 0 μm + 5 0 μm) となる。また、特に図示しないが、各チップの平面形状を 2 mm × 2 mm の正形状とした場合には、後述するように各チップの外周縁に 7 5 μm 幅の n⁺⁺拡散領域 3 を残す必要があるので、n⁺⁺拡散領域 3 の幅は 1 7 5 μm (= 2 5 μm + 7 5 μm + 7 5 μm) である。

【0 0 2 2】

各チップの外周縁に残る n⁺⁺拡散領域 3 の幅が上述した寸法である理由について説明する。図 8 は、半導体ウェハ 1 をダイシングして得られたチップ 5 の要部の寸法を説明するための断面図である。図 8 に示すように、n⁺⁺拡散領域 3 の幅および長さをそれぞれ t および L₁, L₂ とする。n⁺⁺層 1 1 の抵抗値をたとえば 0. 0 1 8 Ω · cm とし、出力段 MOSFET のオン抵抗をたとえば 1 2 0 mΩ とする。

【0 0 2 3】

n⁺⁺拡散領域 3 に許容される抵抗値はたとえば 2. 5 % とする。したがって、t および L₁, L₂ は、つぎの式より求められる。ただし、上述したように、ウェハ表面から n⁺⁺層 1 1 までの深さは 0. 0 0 1 cm (1 0 μm) である。

【0 0 2 4】

$$2 (t (L_1 + L_2)) = 0. 0 1 8 \Omega \cdot \text{cm} \times 0. 0 0 1 \text{ cm} / 3 \text{ m}\Omega$$

【0 0 2 5】

チップサイズが 3 mm × 3 mm である場合には、L₁ および L₂ は 3 mm であるから、上記式より、t は上述した通り、0. 0 0 5 cm (5 0 μm) となる。こ

のときの n^{++} 拡散領域 3 がウェハ表面に露出する面積は、 $0.60 \text{ mm}^2 (= 0.05 \text{ mm} \times 3 \text{ mm} \times 4)$ である。パワー半導体素子の通常動作電流を 3 A とすると、電流密度は $5 \times 10^2 \text{ A/cm}^2 (= 3 \text{ A} / 0.60 \text{ mm}^2)$ であり、十分に低いので、何ら問題はない。

【0026】

また、チップサイズが $2 \text{ mm} \times 2 \text{ mm}$ である場合には、 L_1 および L_2 は 2 mm であるから、上記式より、 t は上述した通り、 $0.0075 \text{ cm} (75 \mu\text{m})$ となる。このときも、 n^{++} 拡散領域 3 の露出面積は、 $0.60 \text{ mm}^2 (= 0.075 \text{ mm} \times 2 \text{ mm} \times 4)$ であり、電流密度は $5 \times 10^2 \text{ A/cm}^2 (= 3 \text{ A} / 0.60 \text{ mm}^2)$ である。

【0027】

つぎに、上述した構成の半導体ウェハ 1 を用いて作製される半導体装置の構成について説明する。図 1 は、半導体装置の構成を模式的に示す縦断面図であり、図 2 の I-I における断面構成を示す。図 2 は、本発明にかかる半導体装置の構成を模式的に示す平面図である。

【0028】

図 1 および図 2 に示すように、 n^{++} 拡散領域 3 は、半導体チップ 5 の外周縁に沿って設けられている。上述したように、この n^{++} 拡散領域 3 が設けられている領域は、半導体ウェハ 1 のダイシング領域である。そして、 n^{++} 拡散領域 3 は、 n -層 12 の表面から n^{++} 層 11 にまで達しており、 n^{++} 拡散領域 3 は n^{++} 層 11 に電氣的に接続されている。

【0029】

n^{++} 拡散領域 3 の表面には、導電材 51 がオーミック接触している。導電材 51 の先端には、バンプ電極 61 が設けられている。したがって、 n^{++} 層 11 は、 n^{++} 拡散領域 3 および導電材 51 を介してバンプ電極 61 に電氣的に接続されている。

【0030】

また、半導体チップ 5 には、パワー半導体素子部 14 および IC 部 15 が形成されている。特に図示しないが、パワー半導体素子部 14 には、たとえば MOS

FET、IGBT、バイポーラトランジスタ、またはダイオードなどが形成される。また、IC部15には、CMOSデバイスなどが形成される。パワー半導体素子部14およびIC部15は、n-層12内に形成されたpウェル（図示省略）や、このpウェル内にさらに形成されたnウェル（図示省略）の中に作製される。

【0031】

パワー半導体素子部14においては、図示しないパワー半導体デバイスに電氣的に接続された電極膜52に、導電材53が接続している。そして、導電材53の先端には、バンプ電極62が設けられている。したがって、図示しないパワー半導体デバイスは、電極膜52および導電材53を介してバンプ電極62に電氣的に接続されている。

【0032】

IC部15においては、図示しないCMOSデバイス等に電氣的に接続された導電材54の先端に、バンプ電極63が設けられている。つまり、図示しないCMOSデバイスは、導電材54を介してバンプ電極63に電氣的に接続されている。なお、導電材51、53、54および電極膜52は、適宜、絶縁膜55、56により、互いに、あるいは半導体部分と絶縁されている。また、導電材51、53、54および電極膜52は、表面保護膜57により被覆されている。

【0033】

バンプ電極61、62、63は、半導体チップ5を図示しない回路基板に実装する際の回路基板との電氣的接続点となる。特に限定しないが、本実施の形態では、すべてのバンプ電極61、62、63は、半導体チップ5の一主面上に設けられている。つまり、この半導体チップ5は表面実装用のものである。

【0034】

つぎに、上述した構成の半導体装置の製造方法について説明する。図3は、製造プロセスを説明するためのフローチャートである。まず、たとえばAsドーパのn⁺⁺層11上に、厚さが10 μ mのリンドープのn-層12をエピタキシャル成長させたウェハを作製する（ステップS1）。ついで、ダイシングライン2に沿って、n⁺⁺拡散領域3を形成する（ステップS2）。

【0035】

n^{++} 拡散領域3を形成するにあたっては、つぎの3つの手段のうちのいずれか一つを適用することができる。第1の手段は、ウェハ表面の、 n^{++} 拡散領域3の形成領域にリン等の不純物イオンをイオン注入した後、所定の高温で所定の時間、ウェハの熱処理をおこない、注入された不純物イオンを熱拡散させるものである。第2の手段は、ウェハ表面に、 n^{++} 拡散領域3の形成領域が露出し、かつそれ以外の領域を被覆するマスクを形成し、リン等の不純物を含む高温ガス中にウェハを所定時間、放置するものである。第3の手段は、ウェハ表面の、 n^{++} 拡散領域3の形成領域を露出させ、その露出面を、リン等の不純物を含む材料で被覆した状態で、所定の高温で所定の時間、ウェハを放置するものである。

【0036】

ついで、素子の形成、すなわち、パワー半導体素子部14およびIC部15にそれぞれ周知の製造プロセスによりデバイスを作製する（ステップS3）。なお、それらのデバイスの製造プロセスについては、説明を省略する。ついで、バンプ電極61、62、63を形成する（ステップS4）。そして、ダイシングをおこなって個々のチップ5に分割し（ステップS5）、終了する。

【0037】

上述した実施の形態によれば、 n^{++} 拡散領域3が、ウェハ表面から、半導体ウェハ1の深いところに設けられた n^{++} 層11に達するように形成されているので、この n^{++} 拡散領域3を介して、 n^{++} 層11に電氣的に接続するバンプ電極61をウェハ表面上に設けることができる。したがって、半導体ウェハ1にトレンチやスルーホールを形成することなく、半導体基板の一主面上にすべてのバンプ電極61、62、63を有するような半導体装置を作製することができる。

【0038】

また、実施の形態によれば、トレンチやスルーホールを形成しないので、半導体装置を製造する途中で、半導体ウェハ1が割れたり、欠けたりするのを防ぐことができる。また、トレンチやスルーホールをメタルやシリコン等で埋めることもないので、ボイドが発生したり、半導体ウェハ1が反ったりするのを防ぐことができる。

【0039】

また、実施の形態によれば、チップ表面上のダイシング領域と、 n^{++} 層 11 を介して n^{-} 層 12 に電圧を加えたときに n^{-} 層 12 と p ウェルとの接合部に発生する空乏層の広がり制限する領域を利用して、不純物濃度が濃く、かつ深い n^{++} 拡散領域 3 が形成されているので、チップ面積の大幅な増大を招くことなく、 n^{++} 拡散領域 3 を備えた半導体ウェハ 1 および半導体装置が得られる。

【0040】

したがって、チップサイズと同様のサイズでチップの一主面に電極を有する半導体素子用のチップサイズパッケージ (CSP) を実現することができる。なお、一般に、濃く深い拡散層を形成するには大きな面積が必要となり、チップ面積の大幅な増大を招いてしまう。

【0041】

また、実施の形態によれば、 n^{++} 拡散領域 3 を形成した後に、パワー半導体素子部 14 および IC 部 15 にそれぞれ所望のデバイスを作製するので、それらデバイスが不要な熱履歴を受けるのを防ぐことができる。

【0042】

以上において本発明は、上述した実施の形態に限らず、種々変更可能である。たとえば、半導体チップ 5 の外周縁の一部に n^{++} 拡散領域 3 が存在する構成としてもよい。また、実施の形態では、第 1 導電型を n 型 (第 2 導電型を p 型) としたが、本発明は、第 1 導電型を p 型 (第 2 導電型を n 型) としても同様に成り立つ。また、上述した寸法や電気的特性値等は一例であり、本発明はこれに限定されるものではない。また、本発明は、シリコン半導体に限らず、たとえば SiC などの化合物半導体など、他の半導体材料にも適用可能である。

【0043】

【発明の効果】

本発明によれば、半導体ウェハにトレンチやスルーホールを形成することなく、半導体ウェハの深いところに設けられた高濃度不純物層に電氣的に接続する電極を、半導体ウェハの主面上に形成することが可能な半導体ウェハが得られる。また、半導体基板の主面上に、半導体基板の深いところに設けられた高濃度不純

物層に電氣的に接続する電極を設けた構成の半導体装置が得られる。

【図面の簡単な説明】

【図 1】

本発明にかかる半導体装置の構成を模式的に示す縦断面図である。

【図 2】

本発明にかかる半導体装置の構成を模式的に示す平面図である。

【図 3】

本発明にかかる半導体装置の製造プロセスを説明するためのフローチャートである。

【図 4】

本発明にかかる半導体ウェハの一部の構成を模式的に示す縦断面図である。

【図 5】

本発明にかかる半導体ウェハの一部の構成を模式的に示す平面図である。

【図 6】

本発明にかかる半導体ウェハの概略構成を示す平面図である。

【図 7】

本発明にかかる半導体ウェハの要部の寸法を説明するための断面図である。

【図 8】

本発明にかかる半導体装置の要部の寸法を説明するための断面図である。

【符号の説明】

- 1 半導体ウェハ
- 2 ダイシングライン
- 3 高濃度不純物拡散領域 (n^{++} 拡散領域)
- 4 素子領域
- 5 チップ
- 1 1 高濃度不純物層 (n^{++} 層)
- 1 2 低濃度不純物層 (n^{-} 層)
- 1 3 切断代
- 1 4 パワー半導体素子部

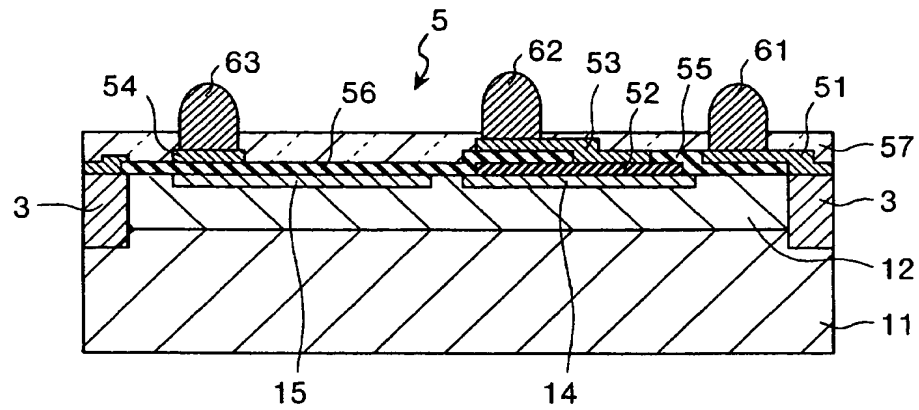
15 IC部

61, 62, 63 バンプ電極

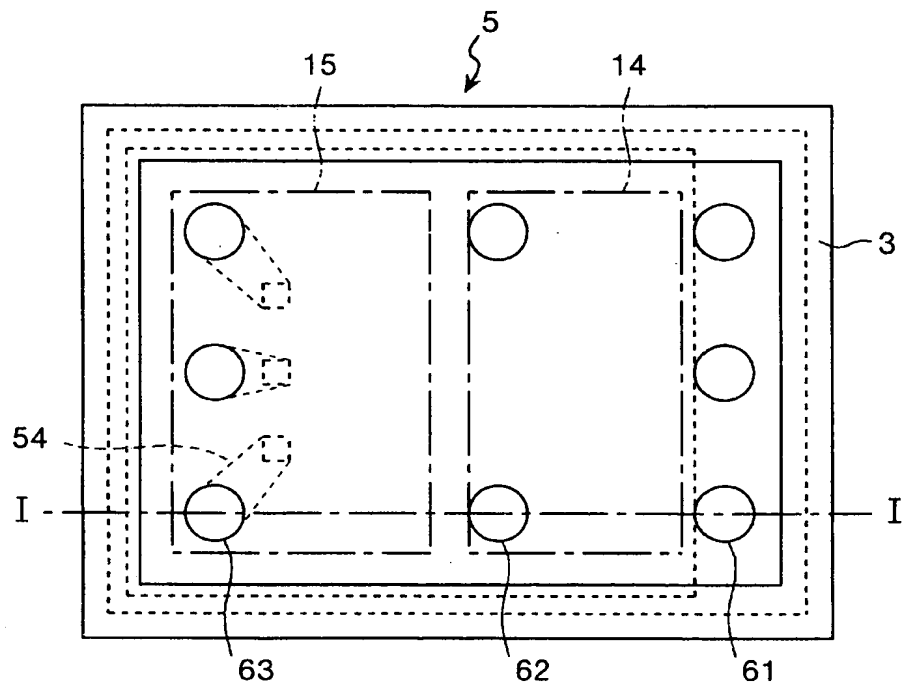
【書類名】

凶面

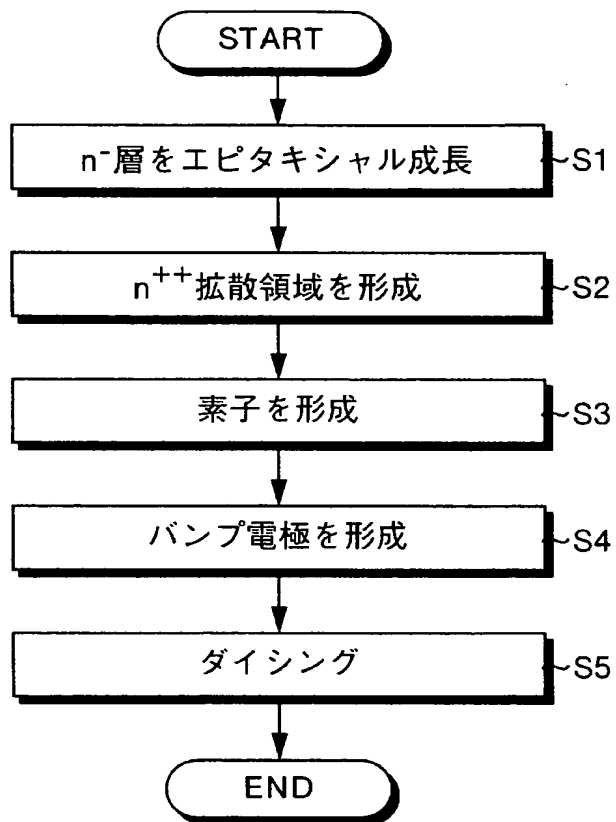
【図 1】



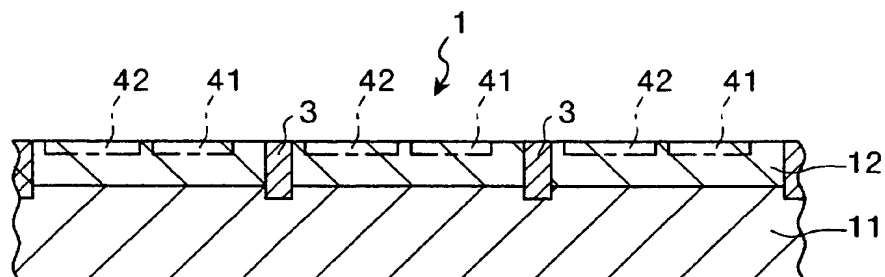
【図 2】



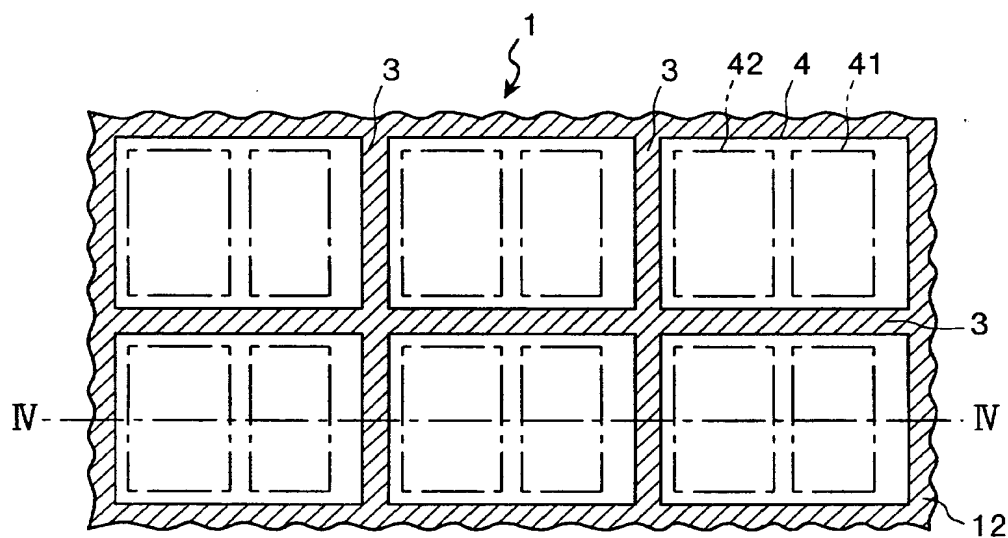
【図 3】



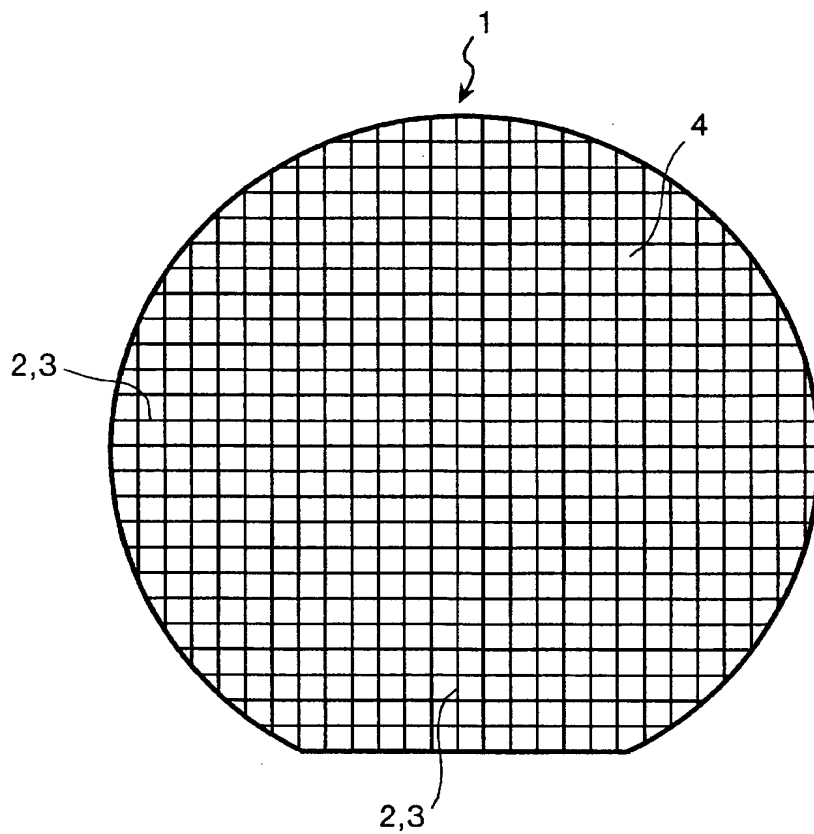
【図 4】



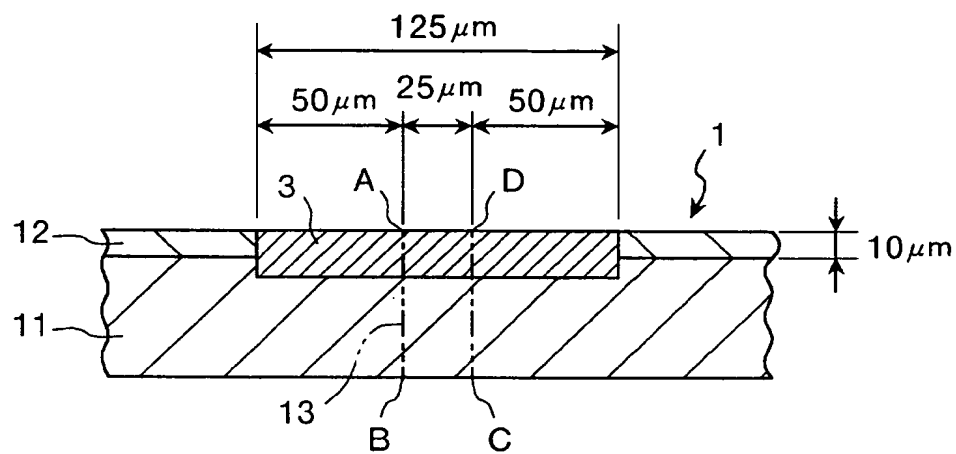
【図 5】



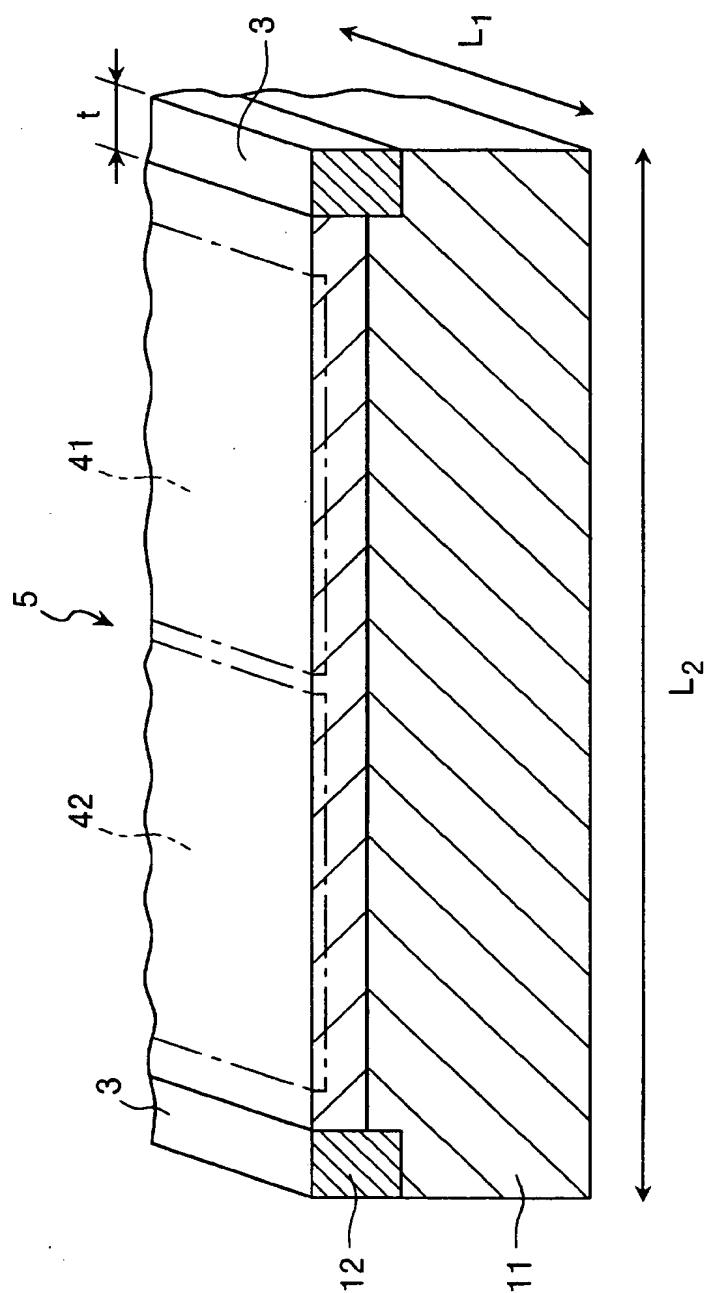
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 半導体ウェハにトレンチやスルーホールを形成することなく、ウェハの所定の深さのところに設けられた高濃度不純物層を、ウェハの主面上に設けられる電極に電氣的に接続すること。

【解決手段】 半導体ウェハ1のダイシング領域に n^{++} 拡散領域3を、ウェハ表面から、半導体ウェハ1の深いところに設けられた n^{++} 層11に達するように、イオン注入法や拡散法により形成する。その際、ダイシングにより分割された各チップの外周縁に n^{++} 拡散領域3が残るように、 n^{++} 拡散領域3の幅をダイサーの刃幅よりも広くする。そして、 n^{++} 拡散領域3を介して、 n^{++} 層11に電氣的に接続するバンプ電極61をウェハ表面上に形成し、ダイシングをおこなう。

【選択図】 図1

【書類名】 出願人名義変更届（一般承継）
【整理番号】 03P00713
【提出日】 平成15年11月 7日
【あて先】 特許庁長官 殿
【事件の表示】
 【出願番号】 特願2003-129541
【承継人】
 【識別番号】 503361248
 【氏名又は名称】 富士電機デバイステクノロジー株式会社
【承継人代理人】
 【識別番号】 100088339
 【弁理士】
 【氏名又は名称】 篠部 正治
 【電話番号】 03-5435-7241
【提出物件の目録】
 【物件名】 権利の承継を証明する書面 1
 【援用の表示】 特願 2 0 0 3 - 3 2 5 9 4 9 の出願人名義変更届（一般承継）に
 添付した会社分割承継証明書
 【物件名】 承継人であることを証明する書面 1
 【援用の表示】 特願 2 0 0 2 - 2 9 8 0 6 8 の出願人名義変更届（一般承継）に
 添付した登記簿謄本
【包括委任状番号】 0315472

特願 2 0 0 3 - 1 2 9 5 4 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 3 4]

- | | |
|----------|------------------------|
| 1. 変更年月日 | 1 9 9 0 年 9 月 5 日 |
| [変更理由] | 新規登録 |
| 住 所 | 神奈川県川崎市川崎区田辺新田 1 番 1 号 |
| 氏 名 | 富士電機株式会社 |
| | |
| 2. 変更年月日 | 2 0 0 3 年 1 0 月 2 日 |
| [変更理由] | 名称変更 |
| 住 所 | 神奈川県川崎市川崎区田辺新田 1 番 1 号 |
| 氏 名 | 富士電機ホールディングス株式会社 |

特 願 2 0 0 3 - 1 2 9 5 4 1

出 願 人 履 歴 情 報

識別番号 [5 0 3 3 6 1 2 4 8]

1. 変更年月日	2 0 0 3 年 1 0 月 2 日
[変更理由]	新規登録
住 所	東京都品川区大崎一丁目 1 1 番 2 号
氏 名	富士電機デバイステクノロジー株式会社